

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000150549
PUBLICATION DATE : 30-05-00

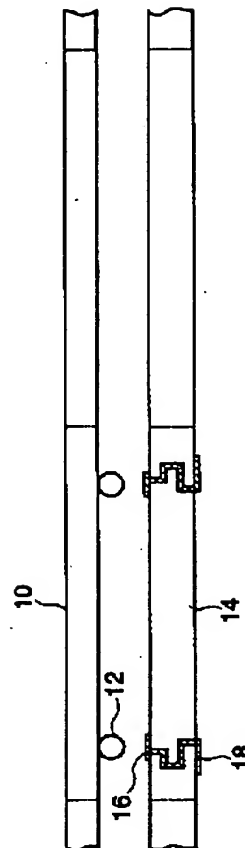
APPLICATION DATE : 11-11-98
APPLICATION NUMBER : 10320141

APPLICANT : RICOH CO LTD;

INVENTOR : MIMURA TADASHI;

INT.CL. : H01L 21/56 H01L 21/60 H01L 21/301
H01L 23/12

TITLE : MANUFACTURE OF
SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To make the size of a chip size package mounting body equal to a chip size without degrading reliability of the mounting body and, at the same time, to suppress the manufacturing cost of the mounting body.

SOLUTION: A silicon wafer 10 in which a plurality of semiconductor devices is formed is bonded to a multilayered wiring board 14 by a pump bonding method, and an epoxy resin is injected into the space between the wafer 10 and board 14 through the through hole of the board 14 and cured by heating. Thereafter, the bonded body of the wafer 10 and board 14 is cut into individual chips by dicing.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-150549

(P2000-150549A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 21/56		H 0 1 L 21/56	E 5 F 0 4 4
21/60	3 1 1	21/60	3 1 1 S 5 F 0 6 1
21/301		21/78	A
23/12		23/12	L

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願平10-320141

(22) 出願日 平成10年11月11日 (1998.11.11)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 三村 忠士

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(74) 代理人 100085464

弁理士 野口 繁雄

Fターム(参考) 5F044 KK04 KK07 KK16 LL01 RR19

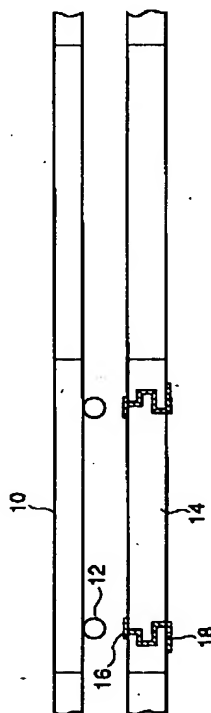
5F061 AA01 BA03 CA05 CB13

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 チップ・サイズ・パッケージ実装体の信頼性を維持し、サイズをチップサイズと同一とし、かつ製造コストも抑える。

【解決手段】 複数の半導体装置が形成されたシリコンウエハ10と多層配線基板14をバンプ接合法により接合し、多層配線基板14の貫通孔34からノズルによりエポキシ樹脂をウエハ10と多層配線基板14のすき間に注入し、加熱して硬化させる。その後、ウエハ10と多層配線基板14の接合体をダイシングにより個々のチップに切断する。



【特許請求の範囲】

【請求項1】 複数チップ分の半導体装置が形成された半導体ウエハで、個々のチップに切断される前の状態のものに対し、少なくともそのウエハと同じ大きさを持ち、表面には前記半導体装置の電極と接続される電極が形成され、裏面には表面側の電極と電気的につながった外部接続用電極が形成された配線基板を、その表面側を前記ウエハの半導体装置が形成された面に対向させて重ね、バンプ接合法により接合する工程と、接合された状態の前記ウエハと配線基板間のすき間に封止用樹脂を充填し硬化させる工程と、接合され隙間に樹脂が充填された前記ウエハと配線基板との接合体を個々のチップに切断する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項2】 前記配線基板はセラミック基板をベース基板とする多層配線基板である請求項1に記載の半導体装置の製造方法。

【請求項3】 前記ウエハと配線基板を個々のチップに切断する工程の前又は後に、前記配線基板の裏面側の外部接続用電極にバンプを形成する工程を備えている請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 前記ウエハと配線基板間のすき間に封止用樹脂を充填する工程では、前記配線基板に1個又は複数個の貫通孔を開けておき、その貫通孔を通してノズルから樹脂を吐出して注入する請求項1、2又は3に記載の半導体装置の製造方法。

【請求項5】 前記貫通孔から樹脂を注入する工程では、前記ウエハと配線基板の接合体の周囲の雰囲気は大気圧よりも低い減圧状態にしておく請求項4に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特にチップサイズに相当する大きさに実装するチップ・サイズ・パッケージ（以下、CSPという）と呼ばれる方法で半導体装置を実装する製造方法に関するものである。

【0002】

【従来の技術】CSP法による実装体の一例を図1に示す。半導体装置が形成されたチップ2の電極面と配線基板4の間がバンプ6により接合され、チップ2と配線基板4とのすき間にチップ電極面を保護するための樹脂8が充填されている。

【0003】このようなCSP実装体の製造方法の一例を図2に示す。

(A) 半導体ウエハに複数個の半導体装置を形成し、その半導体装置の接続パッドにバンプ6を形成した後、ウエハを個々のチップ2に切り離す。その後、チップ2と配線基板4の電極との間をバンプ6により接合する。

(B) チップ2と配線基板4のすき間に樹脂を充填する

ために、基板4の周辺部に樹脂を塗布してダム8aを形成する。

(C) その後、チップ2と配線基板4のすき間に樹脂8を注入した後、硬化させる。

【0004】

【発明が解決しようとする課題】図2に示したCSP実装方法では、半導体ウエハをチップごとに分割した後に配線基板4と接合しているため、組立て工数が多くなりコスト高になる問題がある。また、チップ2と配線基板4のすき間に樹脂を注入するために、図2(B)に示されるように配線基板4の周辺部にダム8aを形成するための領域が必要になる。そのため、配線基板4のサイズをチップ2のサイズよりも大きくしなければならず、このことから実装体の大きさがチップサイズよりも大きくなる欠点もある。

【0005】そこで、これらの問題点を解決する1つの方法として、チップの電極面上に弾性樹脂層を介して金属配線とパッケージ電極を直接設ける構造が提案されている（特開平9-321181号公報参照）。しかし、その提案された方法では、水分等の侵入に対する信頼性に問題がある。

【0006】そこで、本発明はCSP法において、信頼性を維持し、実装体のサイズをチップサイズと同一とし、かつコストも抑えることのできる方法を提供することを目的とするものである。

【0007】

【課題を解決するための手段】本発明の製造方法は、複数チップ分の半導体装置が形成された半導体ウエハで、個々のチップに切断される前の状態のものに対し、少なくともそのウエハと同じ大きさを持ち、表面には前記半導体装置の電極と接続される電極が形成され、裏面には表面側の電極と電気的につながった外部接続用電極が形成された配線基板を、その表面側を前記ウエハの半導体装置が形成された面に対向させて重ね、バンプ接合法により接合する工程と、接合された状態の前記ウエハと配線基板間のすき間に封止用樹脂を充填し硬化させる工程と、接合され隙間に樹脂が充填された前記ウエハと配線基板との接合体を個々のチップに切断する工程とを備えている。

【0008】

【発明の実施の形態】バンプ接合では、チップに形成された半導体装置の接続用パッドにバンプを形成するが、そのバンプは金ワイヤーボンディング法による金ボールを用いるスタンドバンプ方式や、メッキ方式による金バンプや半田バンプ、さらには従来から行なわれているバンプであればいずれの方法により形成してもよい。そのうち、メッキ方式によるバンプが経済的である。

【0009】配線基板としてはガラスエポキシ基板、ポリイミド基板、セラミック基板などをベース基板とした多層配線基板を使用することができる。これらの多層配

線基板は半導体装置の実装用に使われている既知のものである。その中でも、熱膨張係数がシリコン基板にもっとも近いセラミック基板をベース基板としたものが好ましい。それは、シリコンのチップと配線基板とを直接接合するので、温度変化に伴う熱ストレスを小さく抑えるためには、チップと配線基板との熱膨張率の差が小さい方が好ましいからである。

【0010】接合されたウエハと配線基板とのすき間に充填する樹脂の材質は、特に限定されるものではないが、封止用樹脂として一般的に使用されているエポキシ系熱硬化性樹脂が適当である。配線基板の裏面側の外部接続用電極には、プリント配線基板に搭載するための接続用バンプを形成するが、そのバンプはウエハと配線基板の接合体を個々のチップに切断する工程の前に形成することもできるし、又は後で形成することもできる。

【0011】ウエハと配線基板間のすき間に封止用樹脂を充填する工程では、予め配線基板に1個又は複数個の貫通孔を開けておき、その貫通孔を通してノズルから樹脂を吐出して注入するのが好ましい。この方法によれば、ウエハと配線基板間のすき間全体に短時間で樹脂を充填できるようになる。さらに、その貫通孔から樹脂を注入する工程では、ウエハと配線基板の接合体の周囲の雰囲気は大気圧よりも低い減圧状態にしておくことが好ましい。減圧は真空に近い方がよい。周囲の雰囲気を減圧にすることにより、樹脂注入の際に問題となる空気の巻き込みによるボイドの発生を防止することができる。

【0012】

【実施例】図3は半導体装置が形成されたシリコンウエハ10と、それと同じ大きさでウエハ10に接合される多層配線基板14を対向させた状態を表わしたものである。ウエハ10には複数個のチップ用の半導体装置が形成され、その半導体装置の接続用パッド上にはバンプ接合を行なうためのバンプ12が形成されている。

【0013】一方、多層配線基板14の表面側にはウエハ10の半導体装置に対応した複数の領域のそれぞれにバンプ12と接合される電極16が形成されている。多層配線基板14の裏面側には外部接続用電極18が形成されており、外部接続用電極18は多層配線基板14の内部配線を通して表面側の電極16と電気的に接続されている。多層配線基板14はセラミック基板をベース基板として電極が形成されたものである。

【0014】バンプ12は金ボールでも半田バンプでもよいが、ここではメッキ法により形成された金バンプを使用する。その金バンプを図4に示す。半導体装置が形成されたウエハ10のシリコン基板上に接続用パッド20が形成され、そのパッド20の接続部を除く基板表面がパッシベーション膜22で被覆されている。パッド20の露出部にはチタン膜24を介してバリア金属のパラジウム膜26が形成され、その上に金バンプ12が形成されている。

【0015】メッキ法により金バンプを形成する方法は周知のものであるが、簡単に示すと次のようになる。パッド20及びパッシベーション膜22を形成した後、チタン膜24とパラジウム膜26をスパッタリング法により順に形成して積層し、写真製版とエッチングによりパラジウム膜26を図4の形状にパターン化する。次に、バンプ12を形成する領域に開口をもつレジストパターンを写真製版により形成し、そのレジストパターンをマスクとしてパラジウム膜26上に金メッキを施す。その後、レジストを除去し、パラジウム膜26から露出しているチタン膜24をエッチングにより除去すれば、図4の金バンプとなる。

【0016】ウエハ10と多層配線基板14の接合後に両者のすき間に樹脂を注入するために、図5(B)に示されるように、多層配線基板14には4つの貫通孔34が開けられている。図5(A)はウエハ10の表面を示したものであり、ウエハ10の表面には複数のチップ領域30が格子状に配列されて、それぞれの領域に半導体装置が形成され、バンプ12が形成されているが、多層配線基板14の孔34に対応した位置のチップ領域36には半導体装置は形成されていない。多層配線基板14の表面には、半導体装置が形成されているチップ領域30に対応して格子状に配置された各領域に接続用電極16が形成されている。図3に戻って説明すると、ウエハ10と多層配線基板14を図のように対向させ、熱圧着によりバンプ12と電極16間を接合させる。

【0017】その後、多層配線基板14の貫通孔34からノズルによりエポキシ樹脂をウエハ10と多層配線基板14のすき間に注入し、加熱して硬化させる。ノズルからエポキシ樹脂を注入する際、ウエハ10と多層配線基板14の接合体の周囲を大気圧よりも減圧状態にしておくことにより、樹脂を注入する際に樹脂へのエアの巻き込みを防いでボイド発生を防止することができる。雰囲気を減圧にすることにより樹脂がウエハ10と多層配線基板14のすき間を通して外部に排出させるのを防ぐために、その隙間の周辺部に図2(B)に示されるダム8aのような障壁を設けておいてもよい。

【0018】ウエハ10と多層配線基板14のすき間に樹脂を注入し硬化させた後、多層配線基板14の裏面側の外部接続用電極18上にバンプ40(図6参照)を形成する。バンプ40は、金ワイヤボンディングによる金ボールや半田バンプなど、従来の実装体で用いられているバンプを使用することができる。

【0019】その後、ダイシング技術など既知の手法により、ウエハ10と多層配線基板14の接合体を図3の鎖線の位置で個々のチップに切断すると、図6に示されるようにCSP実装された半導体装置が得られる。図6で、記号19はウエハ10と多層配線基板14との隙間に充填され硬化したエポキシ樹脂である。バンプ40を形成する工程は、ウエハ10と多層配線基板14の接合

体を個々のチップに切り離した後に行なってもよい。

【0020】

【発明の効果】本発明では、複数チップ分の半導体装置が形成された半導体ウエハを、個々のチップに切断される前の状態で配線基板にバンプ接合法により接合し、ウエハと配線基板間のすき間に封止用樹脂を充填し硬化させた後、ウエハと配線基板との接合体を個々のチップに切断するようにしたので、半導体チップと同じサイズのCSP実装体を得ることができ、またウエハと多層配線基板を接合した後に個々のチップごとに切り離すので、製造工数が少なく低コストに実現することができる。さらに、チップの電極形成面を多層配線基板で被い、そのすき間に封止用の樹脂を充填しているので、水分の侵入などに対する信頼性が高い。

【図面の簡単な説明】

【図1】従来のCSP法による実装体の一例を示す断面図である。

【図2】同従来のCSP実装体を製造する方法を示す工

程断面図である。

【図3】一実施例において、シリコンウエハと多層配線基板を対向させた状態を示す断面図である。

【図4】同実施例における金バンプを示す断面図である。

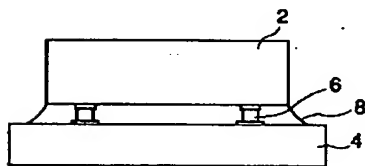
【図5】同実施例において、樹脂注入用の孔を開けた多層配線基板（B）と、それに対応するウエハの表面（A）を示す平面図である。

【図6】同実施例において製造されるCSP実装された半導体装置を示す断面図である。

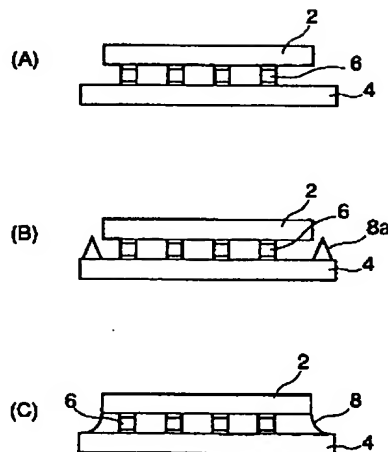
【符号の説明】

- | | |
|----|---------|
| 10 | ウエハ |
| 12 | バンプ |
| 14 | 多層配線基板 |
| 16 | 電極 |
| 18 | 外部接続用電極 |
| 19 | エポキシ樹脂 |

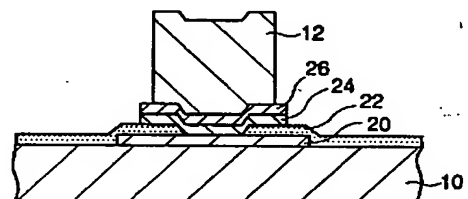
【図1】



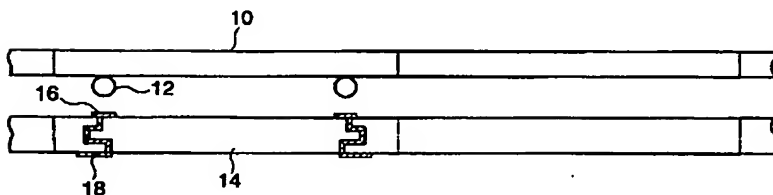
【図2】



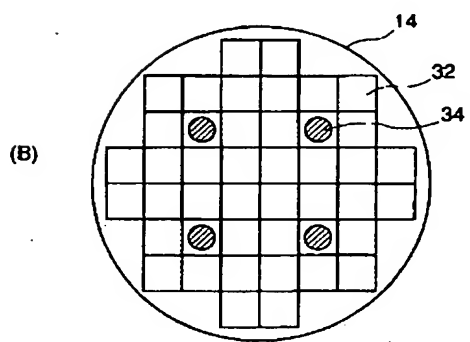
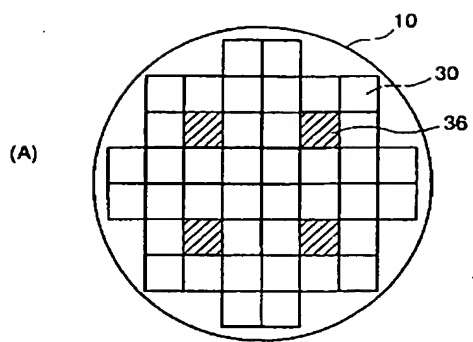
【図4】



【図3】



【図5】



【図6】

